

Boucles à verrouillage de phase ou "Phase-Locked Loop" (PLL)

A Ionescu

EPFL

1

Boucles à verrouillage de phase "Phase-Locked Loops" - PLL

Introduction et notions de base

Etude générale

Modèle linéaire et fonction de transfert

Comportement dynamique

Etude des blocs fonctionnels:

Détecteurs de Phase

VOC

Applications

Main Applications

1. **REGÉNÉRATION DU SIGNAL D'HORLOGE "CLOCK RECOVERY CIRCUIT" (CRC) LORS D'UNE TRANSMISSION NUMÉRIQUE SERIE**
2. **ASSERVISSEMENT DE LA VITESSE D'UN MOTEUR DC**
3. **CIRCUIT DE CONDITIONNEMENT POUR Pléthysmographie Respiratoire par Inductance (PRI)**
4. **SYNTHÈSE DE FRÉQUENCES A PLL**
5. **Autres applications**

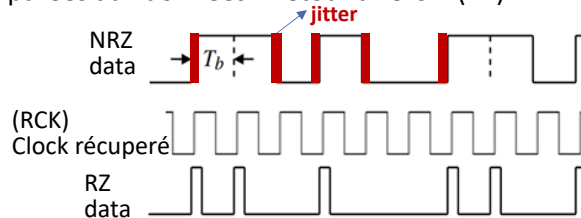
1. REGÉNÉRATION DU SIGNAL D'HORLOGE "CLOCK RECOVERY CIRCUIT" (CRC) LORS D'UNE TRANSMISSION NUMÉRIQUE SERIE

Problématique

1/4

1) Dans de nombreux systèmes — notamment en optique — **les données sont transmises sans horloge**. Pour un traitement synchrone, **le récepteur (CRC) doit donc extraire l'horloge directement du flux de données**.

2) La plupart des données binaires sont transmises au **format « non-retour à zéro » (NRZ)**. Ci-dessous, les données NRZ sont comparées aux données « retour à zéro » (RZ).



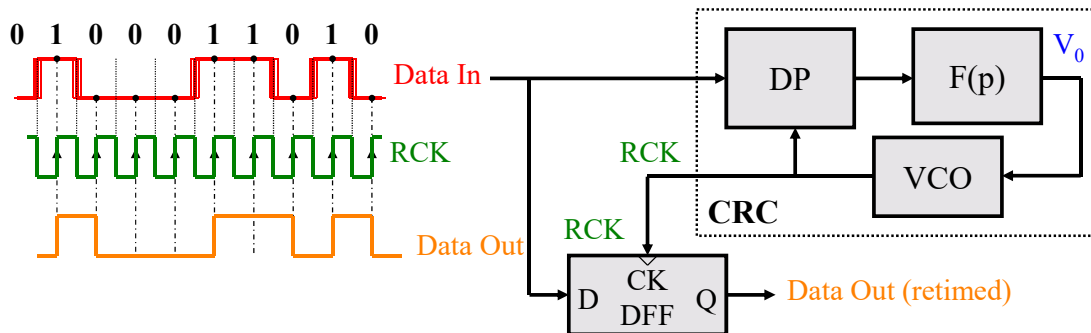
3) Dans le format NRZ:

- chaque période de bit a une durée T_b , seule information disponible à la réception est le débit binaire est $F_b=1/T_b$, en bit/s
- lors de longues suites de 1 ou de 0, le circuit de récupération d'horloge (CRC) doit maintenir une horloge stable au débit binaire, sans dérive (en débit du phénomène de 'jitter' caractérisé par la variation de possible de T_b)
- Le spectre NRZ présente des zéros aux multiples entiers de F_b ; par exemple, pour $F_b=1$ Gb/s, il n'y a aucune énergie à 1GHz.

1. REGÉNÉRATION DU SIGNAL D'HORLOGE "CLOCK RECOVERY CIRCUIT" (CRC) LORS D'UNE TRANSMISSION NUMÉRIQUE SERIE

2/4

Principe basé sur PLL

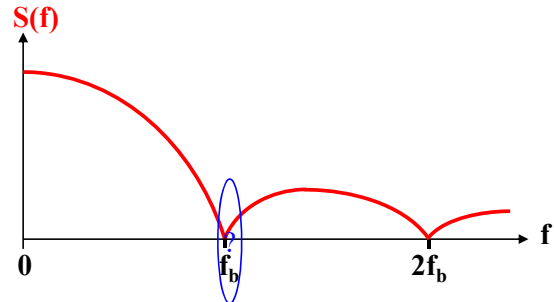
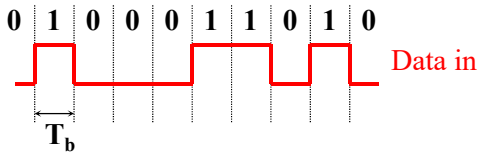


- Dans une liaison numérique série, les bits de valeur aléatoire sont transmis à un rythme connu ("bit-rate").
- Le rôle du CRC est de générer un signal de clock à cette fréquence 'bit-rate', dont les fronts montant sont synchrones avec le milieu de l'intervalle temporel de chaque bit, ceci malgré les petites variations ("jitter") causées par les imperfections des équipements de transmission. Cela permettrait d'extraire la séquence des données propre recadré (retimed), malgré le jitter.
- Question: Comment générer RCK ?

1. REGÉNÉRATION DU SIGNAL D'HORLOGE "CLOCK RECOVERY CIRCUIT" (CRC) LORS D'UNE TRANSMISSION NUMÉRIQUE SERIE

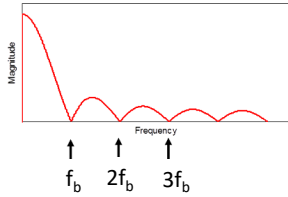
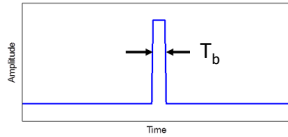
3/4

Problème du principe

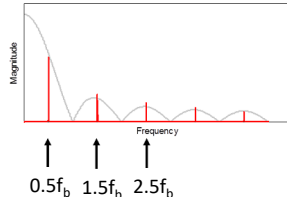
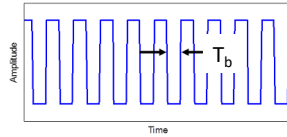


Problème: le spectre d'une suite de bits, de valeur aléatoire, en code NRZ, ne contient aucune composante à la fréquence du bit-rate $f_b = 1/T_b$, sur laquelle une PLL pourrait se verrouiller.

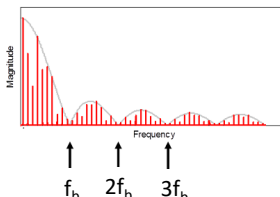
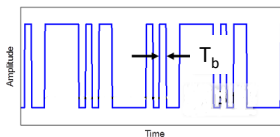
Spectre des signaux numériques



Pour une impulsion carré le module du spectre est une fonction *sinc* redressée, $\text{sinc}(x)=\sin(x)/x$. Le spectre est continu, ce qui signifie qu'il faut une infinité de composantes fréquentielles pour le reproduire parfaitement.



Pour une séquence d'impulsions carrés le spectre se compose de la fréquence fondamentale et uniquement des harmoniques impaires, dont l'amplitude décroît. Les raies spectrales se situent à $0.5 f_b$, $1.5 f_b$ et $2.5 f_b$, et que les raies spectrales s'alignent avec les pics de la fonction *sinc*.



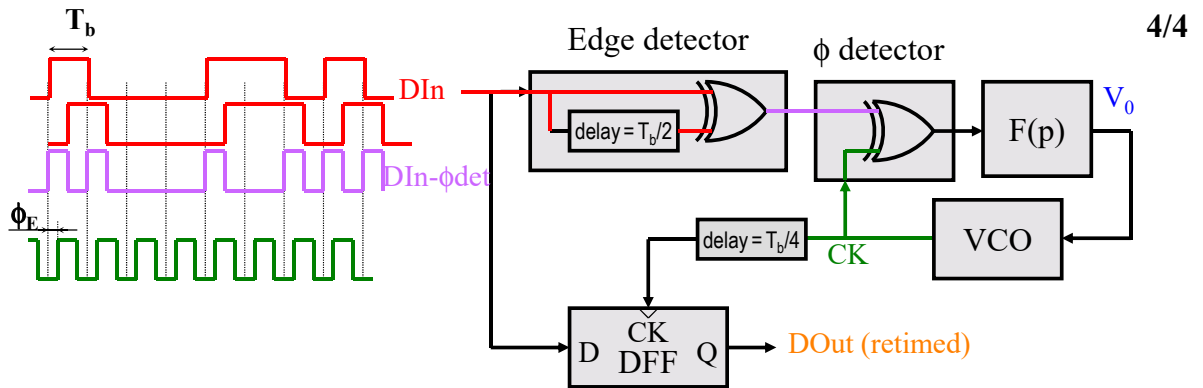
Un signal NRZ est constitué d'impulsions rectangulaires de largeur égale à une période binaire T_b . Le spectre de puissance global 'hérite' les zéros puissance de *sinc*; il n'y a donc pas de puissance aux harmoniques du débit binaire.

pour un signal avec $T_b/2$

puissance nulle à $2f_b$, $4f_b$...

1. RÉGÉNÉRATION DU SIGNAL D'HORLOGE "CLOCK RECOVERY CIRCUIT" (CRC) LORS D'UNE TRANSMISSION NUMÉRIQUE SERIE

Solution



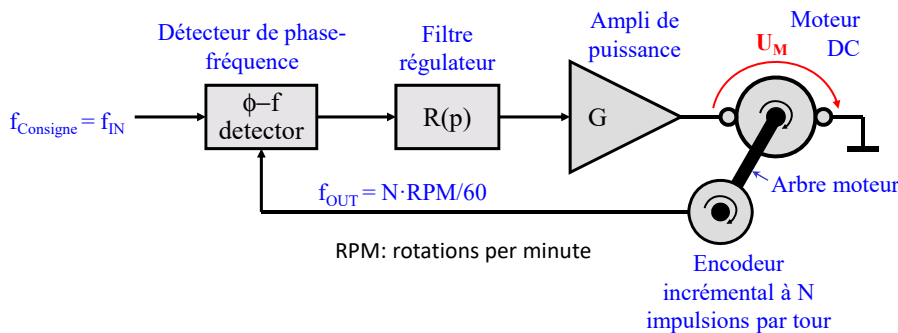
- **Détection de front :** D_{in} XOR D_{in} retardé de $T_b/2$ → impulsions $\approx T_b/2$ à chaque transition. Ce signal $D_{in}-\phi_{det}$ porte une composante nette à $f_b = 1/T_b$.
- **Récupération d'horloge :** on verrouille la PLL sur f_b avec $D_{in}-\phi_{det}$. Une XOR comme détecteur de phase verrouille en quadrature ($\pi/2$) : CK est décalée de $T_b/4$ par rapport aux fronts de D_{in} .
- **Échantillonnage au centre :** on retarde CK d'un $T_b/4$ supplémentaire pour tomber au milieu du bit ; le DFF échantillonne alors D_{in} et produit D_{out} re-temporisé.

Considérations pratiques:

La PLL doit avoir une faible bande passante pour être insensible au "jitter" et au caractère aléatoire de Data In.

Le "bit-stream" ne doit pas comporter de longue suite de 1 ou de 0, qui tend à ramener le VCO vers sa fréquence libre.

2. ASSERVISSEMENT DE LA VITESSE D'UN MOTEUR DC



$$\text{PLL verrouillée} \Rightarrow f_{\text{OUT}} = f_{\text{IN}} \Rightarrow \text{RPM} = \frac{60 \cdot f_{\text{Consigne}}}{N}$$

La fonction de transfert de la PLL doit tenir compte de celle propre du moteur :

$$H_{ol}(p) = \left. \frac{\phi_o(p)}{\phi_i(p)} \right|_{ol} = K_D \cdot R(p) \cdot G \cdot \frac{\omega_M(p)}{U_M(p)} \cdot \frac{N}{p}$$

On asservit la vitesse d'un moteur DC par une PLL en exprimant la consigne comme une fréquence de référence f_{IN} (fixe). L'encodeur incrémental sur l'axe du moteur délivre N impulsions par tour mécanique, donc sa fréquence vaut $f_{\text{OUT}} = N \cdot \text{RPM} / 60$. Le détecteur de phase-fréquence compare les fronts de l'encodeur à ceux de la référence et produit un signal UP/DOWN dont la moyenne reflète le déphasage (et donc l'écart de vitesse).

On suppose ici un détecteur de phase-fréquence à pompe de charge et un filtre de boucle passe-bas de fonction de transfert $R(p)$ de type intégrateur et un zéro. Comme l'intégrateur de $R(p)$ confère un gain de boucle infini à 0 Hz, toute erreur de vitesse constante crée une composante continue en sortie du détecteur de phase-fréquence que l'intégrateur transforme en rampe de commande jusqu'à l'annuler. Le zéro du filtre améliore l'amortissement et la marge de phase.

La sortie du filtre pilote l'amplificateur de puissance G , qui applique la tension U_M au moteur. En régime verrouillé, $f_{\text{IN}} = f_{\text{OUT}}$ et la vitesse imposée est $\text{RPM} = f_{\text{IN}} \cdot 60 / N$. En cas de perturbation, les fronts d'encodeur retardent/avancent, le détecteur phase-fréq la détecte, $R(p)$ corrige la commande, et la vitesse revient rapidement à la consigne. En bref, **la PLL traite la vitesse comme un problème d'horloge (clock), assurant précision à long terme et bon rejet des perturbations.**

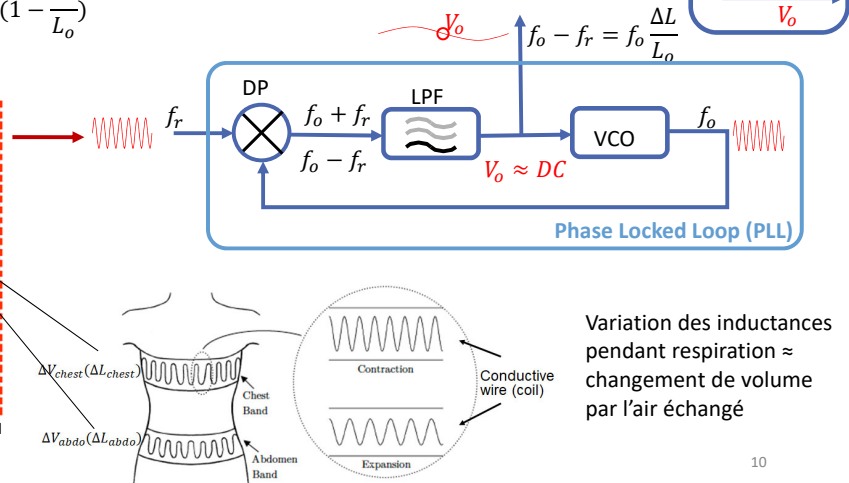
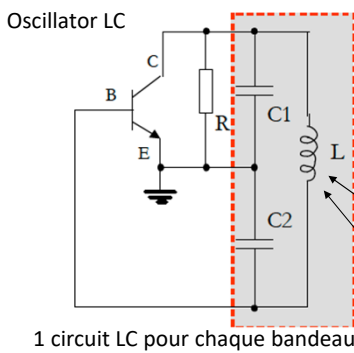
L'ensemble moteur + encodeur joue le rôle du VCO. À la différence d'une PLL électronique classique, ce « VCO » n'a pas une réponse instantanée (on n'a pas simplement $\omega_{\text{out}}(t) =$

$=K_0 U_M(t)$). L'inertie du moteur introduit une dynamique ; la fonction de transfert du moteur $\omega_M(p)/U_M(p)$ doit donc être prise en compte dans la boucle ouverte. On obtient ainsi une PLL d'ordre supérieur à 2, plus délicate à stabiliser et à régler.

3. CIRCUIT DE CONDITIONNEMENT pour la Pléthysmographie Respiratoire par Inductance (PRI)

Principe pour déterminer ΔL_{abdo} , ΔL_{chest}

$$f_r(t) = \frac{1}{2\pi\sqrt{\frac{L(t)C_1C_2}{C_1+C_2}}} \approx f_o\left(1 - \frac{\Delta L}{L_o}\right)$$



La pléthysmographie respiratoire par inductance (PRI) est basée sur une mesure électromagnétique des variations de surface d'une section et fait appel aux propriétés des courants induits par un champ magnétique. En effet, le courant induit par un champ magnétique alternatif dans une bobine dépend de la surface encerclée par cette bobine. Les capteurs de la pléthysmographie sont deux spires d'inductance (cousus en zigzag sur un tissu, souvent sous forme de bande) munies chacune d'un oscillateur. L'oscillateur est connecté à un boîtier électronique de traitement de signal qui inclue la PLL. Quand la cage thoracique/abdomen se dilate ou se rétracte, la géométrie et l'environnement électromagnétique de L changent $\Rightarrow L(t)$. La fréquence d'oscillation suit $f_r(t)$

Fonctionnement :

PLL comme convertisseur fréquence-tension

Le signal de l'oscillateur est le signal d'entrée de la PLL :

- Détecteur de phase/fréquence (PFD) compare f_r à la sortie du VCO.
- Le filtre de boucle $F(p)$ fournit une tension de contrôle V_o (quasi continue) qui ajuste le VCO pour verrouiller sa fréquence f_o sur f_r
- En régime verrouillé, la variation de fréquence due à la respiration se traduit par une variation de la tension V_o ; cette tension est analysée par d'autres circuits/traitement du signal pour convertir sa valeur en variation du volume thoracique

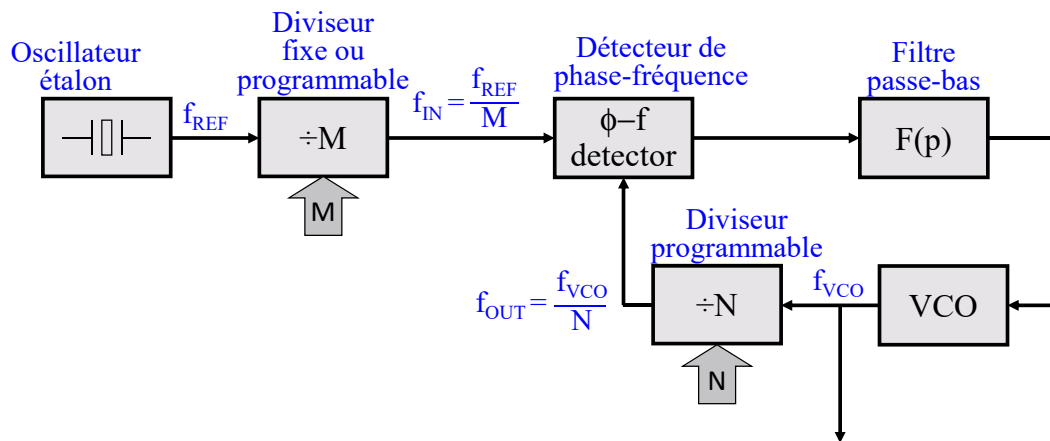
Dimensionnement de la PLL

- Centrer le VCO sur la fréquence nominale de l'oscillateur.

- Bande passante de boucle assez étroite pour rejeter le bruit de phase de l'oscillateur, mais suffisante pour suivre la respiration (quelques Hz).

En résumé, la bobine pour PRI varie due aux mouvements du thorax/abdomen et module la fréquence d'un oscillateur LC, et la PLL convertit ces micro-déplacements en une tension basse fréquence V_o directement corrélée à la respiration.

4. SYNTHÈSE DE FRÉQUENCES A PLL



$$\text{PLL verrouillée} \Rightarrow f_{OUT} = f_{IN} \Rightarrow f_{VCO} = f_{REF} \cdot \frac{N}{M}$$

Nombreuses variantes. Font l'objet d'un chapitre particulier.

5. APPLICATIONS DANS DIFFERENTS DOMAINS

1) Communications

- Synchronisation de porteuse & phase
- Démodulation
- Synthèse RF

2) Systèmes informatiques & réseaux

- Horloges numériques
- Interfaces & CDR

3) Robotique & commande

- Vitesse/position moteur
- Synchronisation multi-axes : mouvement coordonné

4) Instrumentation médicale

- Horloges systèmes imagerie & monitoring (EEG/ECG).
- Oscillateur local & cohérence de phase : excitation/recevoir RF en IRM/MRS.
- Acquisition synchronisée multi-sondes : EEG/MEG/ultrasons
- Conditionnement systèmes monitoring 'wearables'